

1. Title of the Invention

CONTROL SYSTEM FOR PREVENTING ERRONEOUS USE OF REGISTER

2. Claim

A control system for preventing erroneous use of a register in a computer equipped with a plurality of registers that load and store data by using instructions, comprising:

an invalid state storage circuit (15) for storing the usable/unusable state of a register in response to the respective registers;

a state change instruction execution circuit (14) for updating the stored contents of the invalid state storage circuit (15) and switching the usable/unusable state; and

an error detecting circuit (17) for checking the usable/unusable state of the register that the invalid state storage circuit (15) stores when the error detecting circuit receives an instruction to use the register, and reporting an instruction error when the register is unusable.

3. Detailed Explanation of the Invention

[Summary]

The present invention provides a computer having a plurality of registers and a mechanism for detecting whether each of the registers can be used, wherein each of the registers include a circuit which sets the state of the respective registers to usable or unusable. The computer according to the present invention can inhibit an erroneous use of a register in a module interface, etc., so that a high reliability of software can be achieved.

4

(43)Date of publication of application : 15.11.1988

(51)Int.Cl.

**G06F 11/00**

G06F 9/34

(21)Application number : 62-114084

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.05.1987

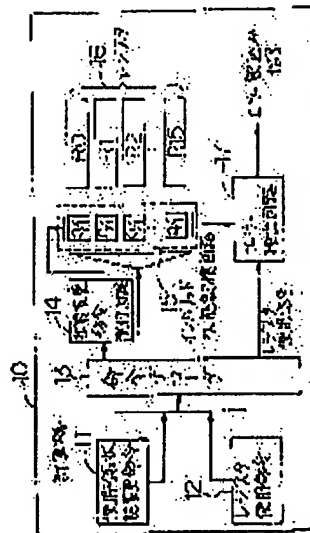
(72)Inventor : MURAMATSU KATSUTOSHI

**(54) CONTROL SYSTEM FOR PREVENTING ERRONEOUS USE OF REGISTER**

**(57)Abstract:**

**PURPOSE:** To detect a program error in the initial stage to improve the reliability of software by providing each register with a circuit which indicates that the register can be used or the use of the register is inhibited and detecting whether the register can be used or not.

**CONSTITUTION:** The usable/unusable state of each register 16 is freely set to an invalid state storage circuit 15 by a usable/unusable state change instruction 11. Consequently, the calling side can preliminarily inhibit the use of registers, which should not be used, in a module interface or the like by the usable/ unusable state change instruction 11. If a called module erroneously uses a register, the use of which is inhibited, because of a failure in interface, an error interrupt signal is outputted by an error detecting circuit 17. Since the program interrupt is caused, the program does not run away and the instruction of the interruption cause is checked to detect the error.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-278147

⑫ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月15日

G 06 F 11/00  
9/34

3 2 0  
3 8 0

M-7368-5B  
7361-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 レジスタ誤使用防止制御方式

⑮ 特 願 昭62-114084

⑯ 出 願 昭62(1987)5月11日

⑰ 発 明 者 村 松 勝 利 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 復 代 理 人 弁理士 小笠原 吉義

#### 明 細 書

1. 発明の名称 レジスタ誤使用防止制御方式

2. 特許請求の範囲

命令によってデータをロード/ストアする複数のレジスタを備えた計算機におけるレジスタ誤使用防止制御方式であって、

上記各レジスタに対応してその使用可否状態を記憶するインバリッド状態記憶回路(15)と、

上記インバリッド状態記憶回路(15)の記憶内容を更新し、使用可否状態を変更する状態変更命令実行回路(14)と、

レジスタを使用する命令について、上記インバリッド状態記憶回路(15)が記憶するそのレジスタの使用可否状態をチェックし、使用不可である場合に命令エラーとするエラー検出回路(17)とを備えたことを特徴とするレジスタ誤使用防止制御方式。

#### 3. 発明の詳細な説明

##### (概要)

計算機に、各レジスタ毎に使用可能または使用禁止を指示する回路を設け、レジスタを使用してよいのか悪いのかを検出できる機構を設けることにより、モジュールインクフェースなどにおけるレジスタの誤った使用を防止できるようにして、ソフトウェアの高信頼性を実現可能とする。

##### (産業上の利用分野)

本発明は、命令によってデータをロード/ストアする複数のレジスタを備えた計算機の命令制御回路に係り、特に、プログラム誤りを早期に検出できるようにしたレジスタ誤使用防止制御方式に関するものである。

##### (従来の技術)

あるプログラムモジュールが、他のプログラムモジュールを呼び出して、何らかの処理を依頼する場合、所定のレジスタにパラメータを設定して、

特開昭63-278147(3)

ンド回路を要す。

モジュール(A)20において発行されているSIR(Set Invalid Register)命令は、インバリッド状態記憶回路15のインバリッド表示をONにする使用可否状態変更命令である。即ち、「SIR 2」の命令発行により、レジスタ2に対するインバリッド状態記憶回路15のインバリッド表示がONになる。以後、レジスタ2は使用禁止状態となる。

モジュール(A)20は、「L 1, PAR M」のロード命令により、レジスタ1にパラメータを設定し、次の「L 15, X」により、モジュール(ABC)21の先頭アドレスをレジスタ15に設定し、「BALR 14, 15」の分岐命令により、モジュール(ABC)21を呼び出している。

ここでモジュール(ABC)21が、第2図(イ)に示すように、レジスタ1とレジスタ2とを間違えて、「ST 2, XXX」のストア命令を出したとする。この場合、レジスタ2の

インバリッド状態記憶回路15は「1」 becoming となり、命令デコード13の出力であるレジスタ2使用信号との照合によって、エラー割込み信号が出力されることになる。従って、直ちにレジスタの使用誤りを検出することができる。

モジュール(ABC)21が、使用禁止状態となっているレジスタ2を、モジュール(A)20に対するインタフェースとは無関係の用途に使用したい場合には、第2図(ロ)に示すように、レジスタを使用する前に、SVR(Set Valid Register)命令を発行する。この「SVR 2」の命令を発行することにより、インバリッド状態記憶回路15のインバリッド表示はOFFとなり、レジスタ2は使用可能状態となる。モジュール(ABC)21は、使用するレジスタを意図してSVR命令を出すので、このレジスタに関する使用誤りの心配はないといえる。

第2図に示す例では、1つのレジスタについてのみ、インバリッド表示のON/OFFを行っているが、もちろん1命令でもって、複数レジスタ

- 7 -

のインバリッド表示をON/OFFさせることも可能である。この場合、例えばレジスタ番号に対応するビットパターンによって複数レジスタを指定できるようにしてもよいし、またはRR形式の命令によって、第1オペランドのレジスタから第2オペランドのレジスタまでの連続したレジスタ群に対し、インバリッド表示をON/OFFさせるようにすることもできる。

例えば入出力割込みなどの割込みが発生した場合には、オペレーティング・システムの割込みハンドラに制御が移行され、それまで実行していたプログラムの実行が中断される。このような場合、上記インバリッド状態記憶回路15が記憶するインバリッド状態を退避/復元することが必要になると考えられる。

これに対し、例えば第3図に示すように、使用可否状態セーブ命令32および使用可否状態リストア命令34を新設することにより対処することができる。第3図(イ)に示すように、タスク30が実行しているときに、割込みが発生したとす

- 8 -

る。これにより、予め登録した割込みハンドラ31に制御が移行する。割込みハンドラ31では、汎用レジスタを所定の領域にセーブした後、使用可否状態セーブ命令32を発行し、インバリッド状態記憶回路15の内容を退避する。

その後、割込み処理等が終了し、ディスパッチ+33により、元のタスク30に実行制御を戻す場合には、セーブしたレジスタをリストアし、また使用可否状態リストア命令34によって、インバリッド状態記憶回路15の内容を復元し、割込み地点へ制御を戻す。

第4図は、本発明の他の一実施例によるインバリッド状態の管理を示している。

第4図に示す例では、インバリッド状態記憶回路15に相当するものとして、インバリッド状態表示レジスタ40が設けられている。インバリッド状態表示レジスタ40の先頭ビットから1ビットずつ、順に各レジスタに対応するインバリッド表示となっている。そして、このレジスタ40に対する特別な書き込み命令として、WRITEI

特開昭63-278147(5)

